

P-650

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183214

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 23/12  
H01L 21/3205

(21)Application number : 10-351785

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.12.1998

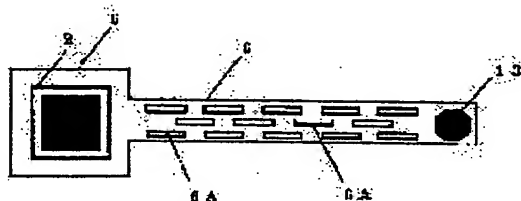
(72)Inventor : TAKAO YUKIHIRO  
SHINOKI HIROYUKI

## (54) CHIP-SIZED PACKAGE AND MANUFACTURE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To effectively relax a stress in a Cu wiring by a method, wherein a plurality of slits provided in a wiring layer are rectangular and the long sides of the slits are properly arranged in the direction where the wiring layer is provided extendedly.

SOLUTION: A plurality of slits 6A are provided in a Cu wiring layer 6, the slits 6A are rectangular, the long sides of the slits 6A are arranged in such a way as to extend along the direction where the layer 6 is extendedly provided and the slits 6A are alternately arranged, whereby the slits are uniformly arranged, and the effect to relax stress in a Cu wiring can be increased. The width of the layer 6 is 50 to 100  $\mu\text{m}$ , taking into consideration the current capacity and mechanical strength and the size of the slits is restricted by the processing accuracy of a photoresist, which is used in an electrolyte plating, but the length (the long sides) of the slits is 90 nm, the width (the short sides of the slits) of the slits is 10  $\mu\text{m}$  and the distance between the adjacent slits is 10  $\mu\text{m}$  or thereabouts. Accordingly, by providing the plurality of the slits in the Cu wiring layer, the stress in a Cu wiring is relaxed, and the deterioration of the characteristics of a transistor directly under the wiring layer can be prevented.



BEST AVAILABLE COPY

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183214

(P2000-183214A)

(43) 公開日 平成12年6月30日 (2000.6.30)

| (5) Int.Cl. | H01L 23/12 | 21/2205 | 識別記号 | P1 | H01L 23/12 | 21/28 | 23/12 | チート (参考) | L 5F033 | A | Q |
|-------------|------------|---------|------|----|------------|-------|-------|----------|---------|---|---|
|             |            |         |      |    |            |       |       |          |         |   |   |

審査請求 未請求 請求項の取4 OL (全 6 頁)

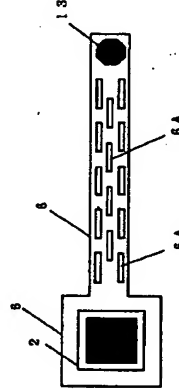
|           |                          |          |   |
|-----------|--------------------------|----------|---|
| (21) 出願番号 | 昭平10-351785              | (71) 出願人 | 000001889<br>三洋電機株式会社<br>大阪府守口市京阪本通 2丁目5番5号 |
| (22) 出願日  | 平成10年12月10日 (1998.12.10) | (72) 発明者 | 高尾 幸弘<br>大阪府守口市京阪本通 2丁目5番5号 三<br>洋電機株式会社内   |
|           |                          | (72) 発明者 | 橋本 裕之<br>大阪府守口市京阪本通 2丁目5番5号 三<br>洋電機株式会社内   |
|           |                          | (74) 代理人 | 100111383<br>弁理士 芝野 正晴                      |

(54) 【発明の名称】 チップサイズパッケージ及びその製造方法

(57) 【要約】

【課題】 Cu配線のストレス (応力) を緩和し、直下のトランジスタの特性劣化を防止する。

【解決手段】 配線層6に複数のスリット6Aを設けた。これらのスリット6Aは長方形であって前記配線層6の延在方向にその長辺を揃えることにより、効果的にストレスを緩和することができる。



2: 金属配線層  
6A: スリット  
13: 接点端子

BEST AVAILABLE COPY

(2)

特開平12-183214

【特許請求の範囲】

【請求項1】 金属配線パッドに接続され、チップ表面に延在するCuから成る配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージにおいて、前記配線層に複数のスリットを設けたことを特徴とするチップサイズパッケージ。

【請求項2】 LSIチップの周辺に配置された複数の金属配線パッドと、LSIチップ上にアレイ状に配置された複数の柱状端子と、この柱状端子と前記金属配線パッドとを接続するCuから成る複数の配線層とを具備するチップサイズパッケージにおいて、前記配線層に複数のスリットを設けたことを特徴とするチップサイズパッケージ。

【請求項3】 前記複数のスリットは、長方形であって前記配線層の延在方向にその長辺を揃えたことを特徴とする請求項1または請求項2に記載のチップサイズパッケージ。

【請求項4】 金属配線パッドに接続され、チップ表面に延在するCuから成る配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、前記配線層を形成する工程において、この配線層を設ける予定領域を除く領域と配線層上にスリットを設ける予定領域上にホトレジスト層を形成した後に電解メッキを行うことを特徴とするチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップサイズパッケージ及びその製造方法に関する。チップサイズパッケージ (Chip Size Package) は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。本発明は、チップサイズパッケージの信頼性を向上させる技術に関する。

【0002】

【従来の技術】 従来、この分野では、一般にBGA (Ball Grid Array) と呼ばれ、面状に配置された複数のパッドと、BGAのボールチップをさらに接合してPKG外形がチップサイズに近くなった構造等が知られている。

【0003】 また、最近では、「日経マイクロデバイス」1998年8月号 44頁〜71頁に記載されたウエハーCSPがある。このウエハーCSPは、基本的に、チップのダイシング前に配線やアレイ状のパッドをウエハープロセス (前工程) で作り込むCSPである。

この技術によって、ウエハープロセスとパッケージングプロセス (後工程) が一体化され、パッケージングコストが大幅に低減できるようになることが期待されている。

【0004】 ウエハーCSPの構成には、防止樹脂層と防止樹脂層がある。防止樹脂層は、従来のパッケージと同様に表面を防止樹脂で覆った構造であり、チップ表面の配線層上に柱状の端子 (メタル・ポスト) を形成し、その周囲を防止樹脂で囲める構造である。パッケージングの工程に基板に搭載すると、プリント基板との熱膨張差によって発生した応力がメタル・ポストに集中する。一般に、このメタルポストを長くすると応力が分散されることが知られている。

【0005】 一方、防止樹脂層は、図1に示すように、防止樹脂層を被覆せず、防止樹脂を形成した構造である。チップ51の表面にA1電極52、配線層53、絶縁層54が形成され、配線層53上にはメタル・ポスト55が形成され、その上に半田バンプ56が形成されている。配線層53は、半田バンプ56をチップ上に所定のアレイ状に配置するための配線層として用いられる。

【0006】

【発明が解決しようとする課題】 上記のように、チップサイズパッケージにおいては、LSIチップの外縁に配置されたA1電極パッド52と規則的にアレイ状に配置されたメタル・ポスト55 (柱状端子) とを一般にCu (銅) 配線によって接続する。

【0007】 しかしながら、Cuの線膨張率はA1と同じ (Cu: 20ppm, A1: 29ppm) であるが、ヤング率ではA1の約2倍 (Cu: 12.98×10<sup>10</sup>, A1: 7.03×10<sup>10</sup>) である。

【0008】 このため、Cu配線は、CSP製造時の温度サイクルテスト等の環境下で、メタル・ポスト55と相乗して、その直下にあるLSIのトランジスタに大きなストレスを与え、トランジスタ特性を劣化させる懸念がある。

【0009】

【課題を解決するための手段】 本発明のチップサイズパッケージ及びその製造方法は上記の課題に鑑みてなされ、Cu配線のストレス (応力) を緩和するために、配線層に複数のスリットを設けた。これらのスリットは長方形であって前記配線層の延在方向にその長辺を揃えることにより、効果的にストレスを緩和することができる。

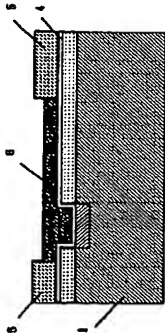
【0010】

【発明の実施の形態】 次に、本発明の実施形態を図1乃至図10を参照しながら説明する。

【0011】 図1は、チップサイズパッケージの平面である。LSIのA1電極パッド2は、チップ上の周辺部に複数配置されている。そして、A1電極パッド2によって囲まれた領域内に、複数の柱状端子13 (メタルポスト) が規則的にアレイ状に配置されている。これらの

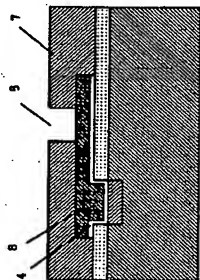


【図4】



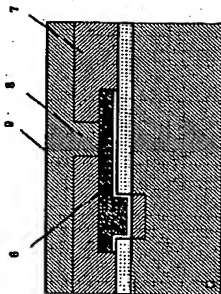
3:チャンネル層  
4:ゲート電極  
5:ゲート絶縁膜  
6:チャネル領域

【図5】



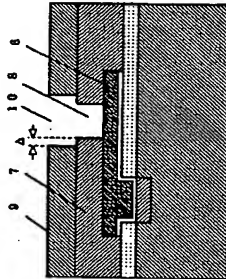
7:第1のポリシリコン層  
8:第1の開口部

【図6】



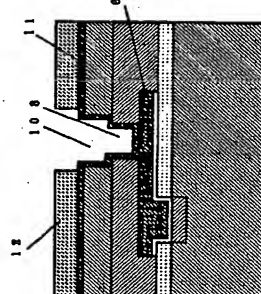
9:第2のポリシリコン層

【図7】



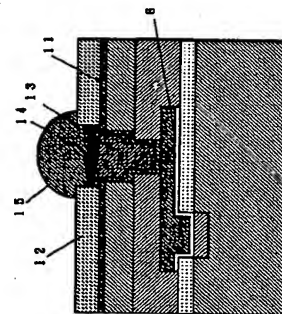
10:第2の開口部

【図8】



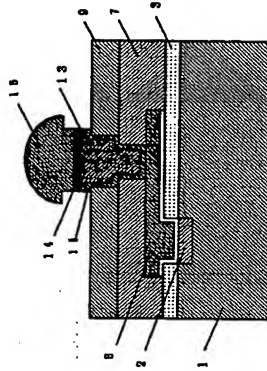
11:リードフレーム  
12:セリシト

【図9】

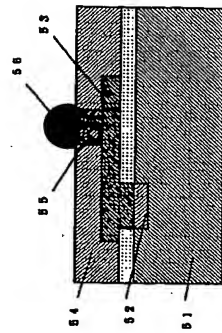


13:メタル・ダスト  
14:ポリシリコン  
15:半田バンプ

【図10】



【図11】



51:チップ  
52:A1電極  
53:絶縁層  
54:絶縁層  
55:メタル・ダスト  
56:半田バンプ

フロントページの続き

Fターム(参考) 5F033 HH11 HH18 JJ01 JJ11 JJ18  
KK08 MM05 MM13 MM22 PP15  
PP27 QQ08 RR06 RR22 SS21  
WW07 XX19